

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-097203

(43)Date of publication of application : 09.04.1999

(51)Int.Cl.

H01C 3/00

H01C 1/14

H01C 13/00

(21)Application number : 09-253045

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 18.09.1997

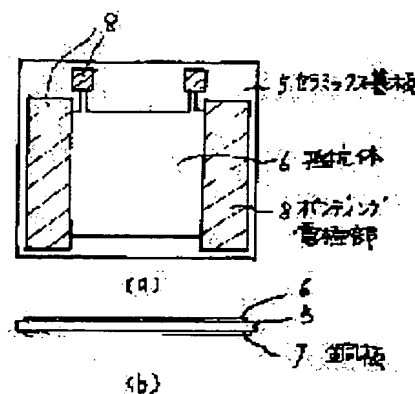
(72)Inventor : IWAIDA TAKESHI
ODA YOSHINORI
MOROZUMI AKIRA

(54) SHUNT RESISTANCE ELEMENT FOR SEMICONDUCTOR DEVICE, AND METHOD OF MOUNTING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a shunt resistance element for a semiconductor device which is high in resistance value accuracy, temperature resistance, and heat radiation characteristic, and is easily assembled into a module.

SOLUTION: To sandwich a ceramics substrate 5, a sheet-like resistor 6 of measuring precision resistance material (copper alloy such as managining, constant, etc.), of a size designed so as to satisfy a specified resistance value is placed on its front surface side, while a copper plate 7 is placed on its rear surface, which are joined as a single body by activation metal method using silver solder, etc., while a bonding electrode part 8 for detecting current and voltage is formed at either end of the resistor, assembled by solder jointing on a substrate mounted with a semiconductor chip or on a copper base plate of a module.



LEGAL STATUS

[Date of request for examination]

08.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3758331

[Date of registration]

13.01.2006

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97203

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.⁶

識別記号

H 0 1 C 3/00
1/14
13/00

F I

H 0 1 C 3/00
1/14
13/00

Z
Z
A

審査請求 未請求 請求項の数4 O L (全 4 頁)

(21) 出願番号 特願平9-253045

(22) 出願日 平成9年(1997) 9月18日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 岩井田 武

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 小田 佳典

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 両角 朗

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

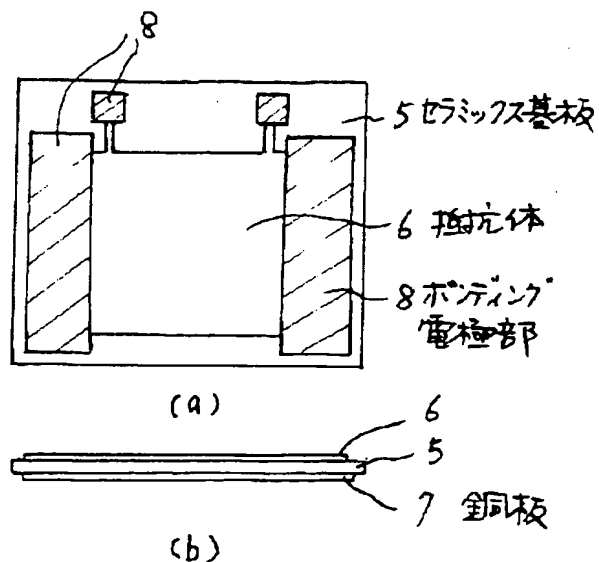
(74) 代理人 弁理士 篠部 正治

(54) 【発明の名称】 半導体装置用のシャント抵抗素子およびその実装方法

(57) 【要約】

【課題】 抵抗値精度、耐熱性、放熱性が高く、かつモジュールへの組付けが容易な半導体装置用のシャント抵抗素子を提供する。

【解決手段】 セラミックス基板5を挟んでその表面側に所定の抵抗値に合わせて設計したサイズの計測用精密抵抗材料(マンガニン、コンスタンタンなどの銅合金)からなるシート状抵抗体6、および裏面に銅板7を重ね合わせて、銀ろうなどを用いた活性化金属法により一体に接合し、かつ抵抗体の両端に電流、電圧検出用のボンディング電極部8を形成し、半導体チップを実装した基板、あるいはモジュールの銅ベース板上に半田接合して組付ける。



【特許請求の範囲】

【請求項 1】半導体装置に組み込んでその主回路電流を検出するシャント抵抗素子であって、セラミックス基板を挟んでその表面に所定の抵抗値に合わせて設計したサイズの計測用精密抵抗材料からなるシート状抵抗体、および裏面に銅板を活性化金属法により一体に接合し、かつ前記抵抗体に電流、電圧検出用のボンディング電極部を形成してなることを特徴とする半導体装置用シャント抵抗素子。

【請求項 2】半導体実装用基板の回路パターン上に半導体チップ、およびシャント抵抗素子を載置し、同じ半田付け工程で基板に半導体チップ、およびシャント抵抗素子を半田付けすることを特徴とする請求項 1 に記載のシャント抵抗素子の実装方法。

【請求項 3】半導体装置の銅ベース板上に半導体チップを実装した基板、およびシャント抵抗素子を載置し、同じ半田付け工程で銅ベースに半導体実装基板、およびシャント抵抗素子を半田付けすることを特徴とする請求項 1 に記載のシャント抵抗素子の実装方法。

【請求項 4】半導体装置の銅ベース板上に半導体チップを実装した基板を載置するとともに、該基板上にシャント抵抗素子を載置し、同じ半田付け工程で銅ベースと基板、および基板とシャント抵抗素子との間を半田付けすることを特徴とする請求項 1 に記載のシャント抵抗素子の実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、インバータ装置に適用する IGBT モジュールなどを実施対象に、半導体装置に組み込んでその主回路電流を検出するシャント抵抗素子、およびその実装方法に関する。

【0002】

【従来の技術】まず、図 7 に頭記したシャント抵抗素子を内蔵した IGBT モジュールの回路図を示す。なお、図示例はモータ運転制御用のインバータに適用した 6 個組の IGBT モジュールである。図において、1 は IGBT、2 はフリーホイーリングダイオード、3 が出力電流検出用のシャント抵抗素子であり、IGBT 1、ダイオード 2、およびシャント抵抗素子 3 を半導体実装用基板（図示せず）に実装してモジュールを組み立てており、ここでシャント抵抗素子 3 は負荷（モータ）4 に給電する出力回路に接続されている。

【0003】また、図 8 は前記シャント抵抗素子 3 の従来構造例を示すものであり、計測用抵抗材料（銅合金）の板を図示のように U 字形に曲げ加工し、その両端に形成した電極部を半導体実装用基板の回路パターンに半田付けしている。

【0004】

【発明が解決しようとする課題】ところで、前記した従来構造のシャント抵抗素子は、製作面で加工精度を上げ

ることが難しくて製品の抵抗値にばらつきが生じ易く、このことが電流検出精度を低める原因となっている。なお、銅ベース上に絶縁層、銅合金の抵抗層を接着剤で接合し、抵抗層にニッケルメッキを施して電流、電圧検出用のボンディング電極部を形成したチップ型の抵抗素子も知られているが、この抵抗素子は耐熱温度が低く、そのためにパワー半導体モジュールに組み付ける際の半田付け温度が制限されるなどの問題があつてその取り扱いに難点がある。

【0005】そこで、従来のシャント抵抗素子に代わるものとして、抵抗値精度、耐熱性、組立性の面に優れたシャント抵抗素子の出現が望まれている。この発明は上記の点に鑑みなされたものであり、その目的は前記要望に応じて抵抗値精度、耐熱性、放熱性が高く、かつモジュールへの組付けが容易な半導体装置用のシャント抵抗素子、およびその実装方法を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、この発明のシャント抵抗素子は、セラミックス基板を挟んでその表面に所定の抵抗値に合わせて設計したサイズの計測用精密抵抗材料からなるシート状抵抗体、および裏面に銅板を活性化金属法により一体に接合し、かつ前記抵抗体に電流、電圧検出用のボンディング電極部を形成した構成とする（請求項 1）。

【0007】上記のように、計測用精密抵抗材料（抵抗の温度係数が小さく、特性の経年変化が少ない）として知られている銅-マンガン合金（マンガニン）、あるいは銅-ニッケル合金（コンスタンタン）を採用し、所要の抵抗値に合わせてエッチング、プレスなどにより高精度に加工したシート状の抵抗体を、銀ろうなどを用いた活性化金属法により耐熱、伝熱性の高いセラミックス基板（アルミナ、窒化アルミニウム、窒化けい素など）に接合することにより、チップ型のシャント抵抗体として、高い抵抗値精度、並びに高温での半田付けにも耐える高い耐熱性、伝熱性が確保できる。

【0008】また、この発明によれば、前記構成のシャント抵抗素子の耐熱性を活かし、次記の実装方法を採用して半導体装置の組立工程の合理化を図ることができる。

(1) 半導体実装用基板の回路パターン上に半導体チップ、およびシャント抵抗素子を載置し、同じ半田付け工程で基板に半導体チップ、およびシャント抵抗素子を半田付けする（請求項 2）。

【0009】(2) 半導体装置の銅ベース板上に半導体チップを実装した基板、およびシャント抵抗素子を載置し、同じ半田付け工程で銅ベースに半導体実装基板、およびシャント抵抗素子を半田付けする（請求項 3）。

(3) 半導体装置の銅ベース板上に半導体チップを実装した基板を載置するとともに、該基板上にシャント抵抗素子を載置し、同じ半田付け工程で銅ベースと基板、およ

び基板とシャント抵抗素子との間を半田付けする（請求項 4）。

【0010】上記の実装方法によりシャント抵抗素子を半導体チップと一緒に半導体装置のモジュールに組み込むことにより、その組立工数を削減してコストの低減化が図れる。

【0011】

【発明の実施の形態】以下、この発明の実施の形態を図 1 ないし図 6 に示す実施例で説明する。まず、図 1 (a)、(b) に、この発明の実施例によるチップ型シャント抵抗素子 3 の構造を示す。この実施例においては、アルミナ、窒化アルミニウム、窒化けい素などの高伝熱性セラミックス基板 5（基板の厚さ 0.635mm）に対し、その表面側に銅-マンガン合金（マンガン）, あるいは銅-ニッケル合金（コンスタンタン）の計測用精密抵抗材料で作られた方形シート状の抵抗体 6（抵抗体の厚さ 0.3mm, 一辺の長さ: 5~10mm）を、裏面側には薄銅板 7（厚さ 0.3mm の銅箔）を重ね合わせ、銀ろうなどをを用いた活性化金属法により一体に接合し、さらに抵抗体 6 の両端部にニッケルなどのメッキを施して電流、および電圧検出用のボンディング電極部 8 を形成する。

【0012】ここで、シート状の抵抗体 6 は、シャント抵抗素子の製品仕様に合わせて所定の抵抗値（例えば 0.65mΩ）、許容熱抵抗値（1.18℃/W 以下）を確保するようにその外形サイズ、ボンディング電極部 8 の引出し位置などを設計し、エッチング、プレスなどにより高精度に加工する。また、セラミックス基板 5 に抵抗体 6 を接合する方法としては、抵抗体 6 が銅合金であることから、直接接合法として知られているダイレクト・ボンディング・カッパー法に代えて、銀ペーストなどを用いた活性化金属法により接合する。

【0013】次に、前記構成のシャント抵抗素子 3 を採用した半導体モジュールの回路組立体の構造例を図 2、図 3 に示す。なお、図中で 9 は IGBT1、ダイオード 2 を搭載した半導体実装用基板（例えばダイレクト・ボンディング・カッパー基板）、10 は放熱用の銅ベース板（例えば厚さ 3mm の銅板）、11 は各部品の間を接合した半田層、12 は各回路部品と基板の回路パターンとの間に配線したボンディングワイヤである。

【0014】ここで、図 2 の回路組立体は、シャント抵抗素子 3 が半導体チップ（IGBT1、ダイオード 2）とともに基板 9 の回路パターンに搭載して半田付けされている。一方、図 3 の回路組立体では、シャント抵抗素子 3 が基板 9 を介さずに銅ベース板 10 の上に直接搭載して半田付けされている。そして、図 2 の回路組立体において、シャント抵抗素子 3 を半導体実装用基板 9 に組付ける際には、図 4 で示すように基板 9 の上に IGBT1、ダイオード 2、およびシャント抵抗素子 3（図 1 に示した抵抗素子の銅板 7 を下面に向ける）をそれぞれ半田シート 13 を介して重ね合わせ、同じ半田付け工程で

基板 9 に IGBT1、ダイオード 2、およびシャント抵抗素子 3 を同時に半田付け（溶融点 300℃ 程度の半田を用いる）、その後基板 9 を銅ベース板 10 に搭載して低温半田で半田付けする。なお、半田シート 13 の代わりに基板 9 に半田ペーストを塗布しておいてもよい。

【0015】また、前記とは別な実装方法として図 6 で示す方法がある。この実施例では、あらかじめ IGBT1、ダイオード 2 を実装しておいた基板 9 を、半田ペースト 14 を塗布した銅ベース板 10 の上に載置するとともに、基板 9 上の所定位置に半田ペースト 14 を塗布してここにシャント抵抗素子 3 を載置し、この状態で銅ベース板 10 と基板 9、および基板 9 とシャント抵抗素子 3 の間を同じ半田付け工程で同時に半田接合する。なお、半田ペースト 14 の代わりに半田シートを用いてもよい。

【0016】一方、図 5 は図 3 の回路組立体に対するシャント抵抗素子 3 の実装方法を示すものである。すなわち、この実施例では半田ペースト 14 を塗布した銅ベース板 10 の上に、あらかじめ半導体チップを実装した基板 9、およびシャント抵抗素子 3 を搭載し、同じ半田付け工程で、銅ベース板 10 と基板 9、およびシャント抵抗素子 3 との間を同時に半田接合する。

【0017】

【発明の効果】以上述べたように、この発明によれば、セラミックス基板を挟んでその表面に所定の抵抗値に合わせて設計したサイズの計測用精密抵抗材料からなるシート状抵抗体、および裏面に銅板を重ね合わせて活性化金属法により一体に接合し、前記抵抗体に電流、電圧検出用のボンディング電極部を形成してシャント抵抗素子を構成したことにより、抵抗値精度、並びに耐熱性、伝熱性が高く、実使用面でも電流検出精度、信頼性に優れたシャント抵抗素子を提供することができる。

【0018】また、前記構成のシャント抵抗素子の高い耐熱性を活かして請求項 2~4 の実装方法を採用することにより、半田付けの工数を減らして半導体装置の組立工程の合理化、並びにコストの低減化が図れる。

【図面の簡単な説明】

【図 1】この発明の実施例によるシャント抵抗素子の構造図であり、(a) は平面図、(b) は側面図

【図 2】図 1 のシャント抵抗素子を組付けた半導体装置の回路組立体部分の構成図

【図 3】図 2 と異なる半導体装置の回路組立体部分の構成図

【図 4】図 2 の回路組立体に対するシャント抵抗素子の実装方法の説明図

【図 5】図 3 の回路組立体に対するシャント抵抗素子の実装方法の説明図

【図 6】図 4 と別なシャント抵抗素子の実装方法の説明図

【図 7】シャント抵抗素子を組み込んだ半導体装置の回

路図

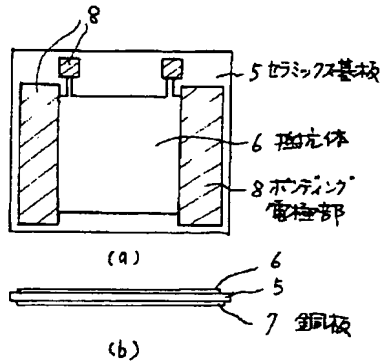
【図8】シャント抵抗素子の従来構造図であり、(a)は平面図、(b)は側面図

【符号の説明】

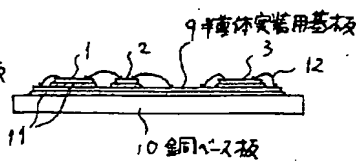
- 1 IGBT
2 ダイオード
3 シャント抵抗素子
5 セラミックス基板

- * 6 抵抗体
7 銅板
8 ボンディング電極部
9 半導体実装用基板
10 銅ベース板
11 半田層
13 半田シート
* 14 半田ペースト

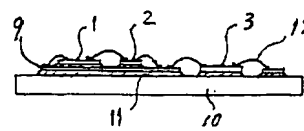
【図1】



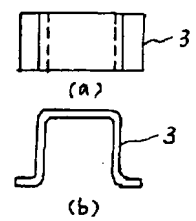
【図2】



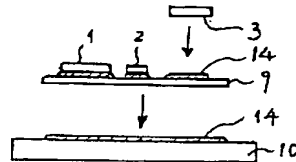
【図3】



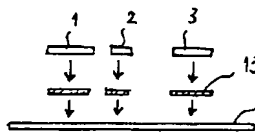
【図8】



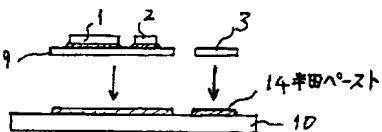
【図6】



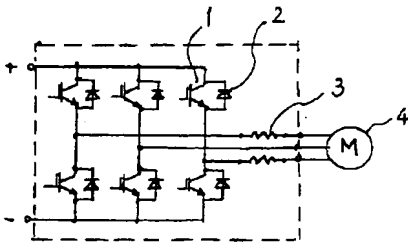
【図4】



【図5】



【図7】



【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 14 年 11 月 8 日 (2002. 11. 8)

【公開番号】特開平 11-97203
 【公開日】平成 11 年 4 月 9 日 (1999. 4. 9)
 【年通号数】公開特許公報 11-973
 【出願番号】特願平 9-253045
 【国際特許分類第 7 版】

H01C 3/00
 1/14
 13/00

【F I】

H01C 3/00 Z
 1/14 Z
 13/00 A

【手続補正書】

【提出日】平成 14 年 8 月 8 日 (2002. 8. 8)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 半導体装置用のシャント抵抗素子およびその実装方法並びに半導体装置

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】半導体装置に組み込んでその主回路電流を検出するシャント抵抗素子であって、セラミックス基板を挟んでその表面に所定の抵抗値に合わせて設計したサイズの計測用精密抵抗材料からなるシート状抵抗体、および裏面に銅板を活性化金属法により一体に接合し、かつ前記抵抗体に電流、電圧検出用のボンディング電極部を形成してなることを特徴とする半導体装置用シャント抵抗素子。

【請求項 2】半導体実装用基板の回路パターン上に半導体チップ、およびシャント抵抗素子を載置し、同じ半田付け工程で基板に半導体チップ、およびシャント抵抗素子を半田付けすることを特徴とする請求項 1 に記載のシャント抵抗素子の実装方法。

子を半田付けすることを特徴とする請求項 1 に記載のシャント抵抗素子の実装方法。

【請求項 3】半導体装置の銅ベース板上に半導体チップを実装した基板、およびシャント抵抗素子を載置し、同じ半田付け工程で銅ベースに半導体実装基板、およびシャント抵抗素子を半田付けすることを特徴とする請求項 1 に記載のシャント抵抗素子の実装方法。

【請求項 4】半導体装置の銅ベース板上に半導体チップを実装した基板を載置するとともに、該基板上にシャント抵抗素子を載置し、同じ半田付け工程で銅ベースと基板、および基板とシャント抵抗素子との間を半田付けすることを特徴とする請求項 1 に記載のシャント抵抗素子の実装方法。

【請求項 5】所定の抵抗値に合わせて設計したサイズの計測用精密抵抗材料からなるシート状抵抗体をセラミックス基板の一方の面に、銅板を前記セラミックス基板の他方の面に活性化金属法により一体に接合し、かつ前記抵抗体に電流、電圧検出用のボンディング電極部を形成してなるシャント抵抗素子と、主回路を構成する半導体チップとを備え、前記シャント抵抗によって主回路電流を検出することを特徴とする半導体装置。

【請求項 6】請求項 5 に記載の半導体装置において、前記半導体チップを搭載した基板若しくは該基板を実装する銅ベース板上に前記シャント抵抗を実装したことを特徴とする半導体装置。